

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267599

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 27/092
H01L 21/28
H01L 21/3205

(21)Application number : 04-063865

(71)Applicant : SHARP CORP

(22)Date of filing : 19.03.1992

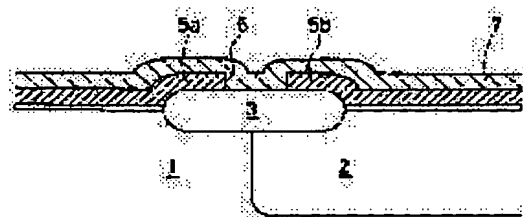
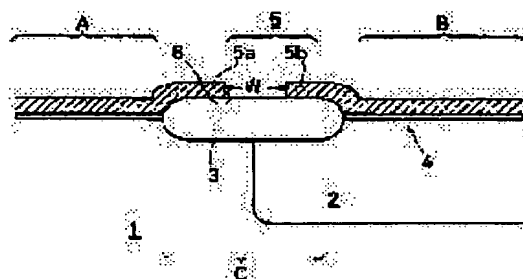
(72)Inventor : SATO SHINICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To eliminate the transition region of the concentration of N-type impurity and P-type impurity in polycide.

CONSTITUTION: In the formation of a polycide layer to be a gate electrode, polysilicon in a boundary part is removed by photo-etching process after the deposition of polysilicon 5 and silicide 7 is deposited so that the boundary part is composed of only silicide 7. Consequently, the area of the boundary part between N-channel MOS transistor region A and P-channel MOS transistor region B can be reduced so that the chip size of CMOS integrated circuit can be reduced to a large extent.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-267599

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/092				
21/28	3 0 1 D	7738-4M		
21/3205		7342-4M	H 0 1 L 27/ 08	3 2 1 D
		7735-4M	21/ 88	Q
審査請求 未請求 請求項の数 2 (全 4 頁)				

(21)出願番号 特願平4-63865

(22)出願日 平成4年(1992)3月19日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 里 眞一

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74)代理人 弁理士 野河 信太郎

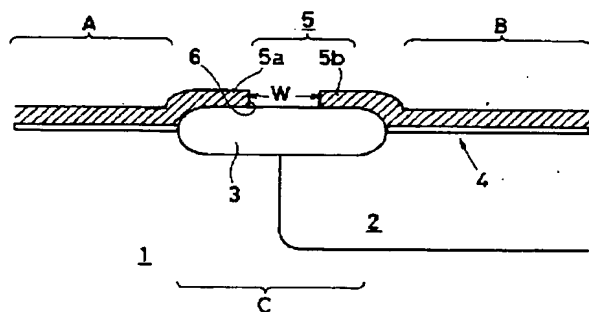
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 ポリサイド中のN型不純物とP型不純物の濃度の遷移領域を無くすこと。

【構成】 ゲート電極となるポリサイド層の形成において、ポリシリコン5堆積後、境界部分のポリシリコンをフォトリソグラフィ工程により除去した後、シリサイド7を堆積することで上記境界部分をシリサイド7のみとする。

【効果】 NチャンネルMOSトランジスタ領域AとPチャンネルMOSトランジスタ領域Bの境界部分の面積を縮小できるため、CMOS集積回路のチップサイズを大幅に縮小できる。



【特許請求の範囲】

【請求項1】 ポリシリコン膜とシリサイド膜の2層構造からなるポリサイドのゲート電極を、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域のそれぞれに形成してなるCMOSトランジスタ集積回路において、

NチャンネルMOSトランジスタのゲート電極となるポリサイドのポリシリコン膜として形成されるN型ポリシリコン膜と、PチャンネルMOSトランジスタのゲート電極となるポリサイドのポリシリコン膜として形成されるP型ポリシリコン膜と、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域の境界部分を横切るシリサイド膜のみの配線からなる配線部分とを備えた半導体装置。

【請求項2】 ポリシリコン膜とシリサイドの2層構造からなるポリサイドのゲート電極を、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域のそれぞれに形成してMOSトランジスタ集積回路を作製するに際して、

半導体基板上にゲート酸化膜を介してポリシリコン層を形成し、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域の境界部分のポリシリコンを除去し、その後、除去部分を含む半導体基板上にシリサイドを積層し、しかる後、NチャンネルMOSトランジスタ領域のポリシリコン層にはN型不純物を注入し、一方、PチャンネルMOSトランジスタ領域のポリシリコン層にはP型不純物を注入することからなる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、更に詳しくはポリシリコン膜とシリサイド膜の2層構造からなるゲート電極を有するCMOSトランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】 従来技術では、図3に示すようにNチャンネルMOSトランジスタ領域AとPチャンネルMOSトランジスタ領域Bの境界部分Cを横切る、ポリシリコン膜11とWSi膜12からなるポリサイド配線において、境界部分Cを横切る配線部分13においても他の部分と同様にポリシリコンとシリサイドの2層構造としていた。

【0003】

【発明が解決しようとする課題】 従来技術では、NチャンネルMOSトランジスタ領域AとPチャンネルMOSトランジスタ領域Bの境界部分Cを横切るポリサイド配線においてもポリシリコンとシリサイドの2層構造としており、ポリサイド層の各領域A、Bに導入されるN型及びP型不純物がポリシリコン膜11とWSiのシリサイド膜12の界面13を介して通常のポリシリコン膜中

の拡散速度以上の速度で拡散するため境界部分Cでポリサイド中のN型不純物(N⁺)とP型不純物(P⁺)の濃度の遷移領域が大きくなるという問題点があった。

【0004】

【課題を解決するための手段及び作用】 この発明は、ポリシリコン膜とシリサイド膜の2層構造からなるポリサイドのゲート電極を、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域のそれぞれに形成してなるCMOSトランジスタ集積回路において、NチャンネルMOSトランジスタのゲート電極となるポリサイドのポリシリコン膜として形成されるN型ポリシリコン膜と、PチャンネルMOSトランジスタのゲート電極となるポリサイドのポリシリコン膜として形成されるP型ポリシリコン膜と、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域の境界部分を横切るシリサイド膜のみの配線からなる配線部分とを備えた半導体装置である。

【0005】 すなわち、CMOSトランジスタ集積回路において、ポリサイドをゲート電極に用いており、NチャンネルMOSトランジスタのゲート電極となるポリサイドのポリシリコンをN型ポリシリコン層とし、PチャンネルMOSトランジスタのゲート電極となるポリサイドのポリシリコンをP型ポリシリコン層とした構造で、NチャンネルMOSトランジスタ領域とP型チャンネルMOSトランジスタ領域の境界13を横切るポリサイド配線を、境界13を横切る配線部分をシリサイドのみの配線としたものである。

【0006】 また、この発明は、別の観点から、ポリシリコン膜とシリサイドの2層構造からなるポリサイドのゲート電極を、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域のそれぞれに形成してMOSトランジスタ集積回路を作製するに際して、半導体基板上にゲート酸化膜を介してポリシリコン層を形成し、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域の境界部分のポリシリコンを除去し、その後、除去部分を含む半導体基板上にシリサイドを積層し、しかる後、NチャンネルMOSトランジスタ領域のポリシリコン層にはN型不純物を注入し、一方、PチャンネルMOSトランジスタ領域のポリシリコン層にはP型不純物を注入することからなる半導体装置の製造方法である。

【0007】 すなわち、上記装置を得るために、ゲート電極となるポリサイド層の形成において、ポリシリコン堆積後上記境界13のポリシリコンをフォトリソエッチ工程により除去し、その後、シリサイドを堆積することにより、境界13をシリサイドのみとした後、NチャンネルMOSトランジスタ領域のポリシリコンにはN型不純物を、PチャンネルMOSトランジスタ領域のポリシリコンにはP型不純物を導入することを特徴とする製造方法である。

3

【0008】要するに、この発明では、ゲート電極となるポリサイド層の形成において、ポリシリコン堆積後、境界部分のポリシリコンをフォトリソグラフィにより除去した後、シリサイドを堆積することで上記境界部分をシリサイドのみとすることにより、上記境界部分におけるポリシリコンとシリサイドの界面部を介しての交互の不純物の拡散を無くすることができる。

【0009】そのため、本発明では、ポリサイドを用いたゲート電極において、ポリサイド中のN型不純物とP型不純物の濃度の遷移領域がないことから、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域の境界部分の面積を縮小できるため、CMOS集積回路のチップサイズを大幅に縮小できる。

【0010】

【実施例】以下、この発明の一実施例について説明する。まず、図1において、P型Si基板1中に低濃度のN型ウェル2を形成し、続いて、NチャンネルMOSトランジスタ領域AとPチャンネルMOSトランジスタ領域Bの境界部分Cとなる領域に、素子分離部3を形成し、ゲート絶縁膜4を形成した後、ポリシリコン層5を1000Å堆積する。

【0011】続いて、図1に示すように、境界部分Cのポリシリコンを例えば、幅Wにわたり除去して開口6を形成し、素子分離部3を露出させる。この除去は、通常のフォトリソグラフィ及びエッチングを用いて行われる。その後、開口6を含むSi基板1上にWSi層7を1000Å積層する(図2参照)。

【0012】次に、ポリサイド層に不純物を注入する。すなわち、フォトリソグラフィによりPチャンネルトランジスタ領域Bをレジスト(図示せず)で覆い、NチャンネルMOSトランジスタ領域Aにリンイオンを 1×10^{16} ions/cm²注入し、レジストを除去した後、続いて、同様にフォトリソグラフィにより領域Aをレジスト(図示せず)で覆い、領域Bにボロンイオンを 1×10^{16} ions/cm²注入する。この際、領域Aにおけるポリシリコン層5aにはN型不純物が添加されており、領域Bにお

4

るポリシリコン層5bにはP型不純物が添加されている。

【0013】その後、領域AでWSi層7とポリシリコン層5a、及び領域BでWSi層7とポリシリコン層5bをエッチングによりパターン形成して、各領域A、Bにそれぞれポリシリコンとシリサイドの2層構造のゲート電極を形成する。このように、本実施例では、境界部分CをWSiのシリサイド膜7のみとすることにより、領域Aにおけるポリサイド層7、5a中のリンイオンと、領域Bにおけるポリサイド層7、5b中のボロンイオンの、両領域A、Bの界面を介しての濃度の遷移領域が無くなり、これにより境界部分Cの面積を縮小できるため、CMOS集積回路のチップサイズを大幅に縮小できる。

【0014】

【発明の効果】以上のようにこの発明では、ポリサイドを用いたゲート電極を形成する際に、ポリサイド中のN型不純物とP型不純物の濃度の遷移領域がないことから、NチャンネルMOSトランジスタ領域とPチャンネルMOSトランジスタ領域の境界部分の面積を縮小できるため、CMOS集積回路のチップサイズを大幅に縮小できる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例における製造工程の第1ステップを示す構成説明図である。

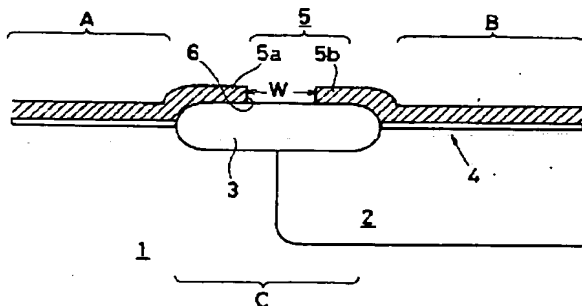
【図2】上記実施例における製造工程の第2ステップを示す構成説明図である。

【図3】従来例の製造方法を示す構成説明図である。

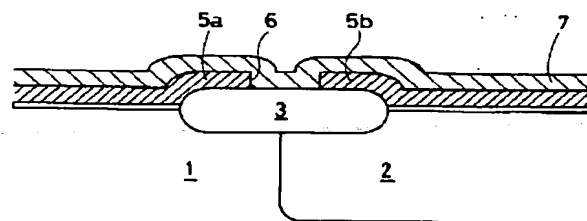
【符号の説明】

1	P型Si基板
4	ゲート酸化膜
5	ポリシリコン層
5a, 5b	ポリシリコン膜
7	WSi膜
A	NチャンネルMOSトランジスタ領域
B	PチャンネルMOSトランジスタ領域

【図1】



【図2】



(4)

特開平5-267599

【図3】

